

# PATENT ABSTRACTS OF JAPAN

BEST AVAILABLE COPY

(11) Publication number : 62-122488

(43) Date of publication of application : 03.06.1987

(51) Int.CI. H04N 7/18  
A61B 6/00  
G01N 23/04  
H04N 5/32

(21) Application number : 60-261281

(71) Applicant : TOSHIBA CORP

(22) Date of filing : 22.11.1985

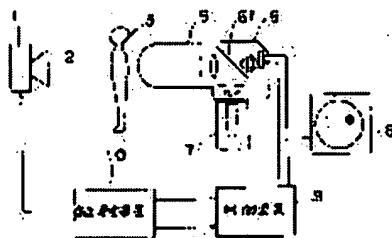
(72) Inventor : OYOSHI SHINGO

## (54) X-RAY MACHINE

### (57) Abstract:

PURPOSE: To improve the quality of a picture by arranging a television system and an automatic control system respectively on a different optical path separated by a luminous quantity distributing member to prevent vignetting by a luminous quantity detector in an angle type optical system from being caused.

CONSTITUTION: Light from a light image on an output fluorescent screen 1.15 is made incident on an 1.1 lens 6a, where the light is collimated and the parallel ray is divided into an optical path reflected in a direction of a TV camera 7 by a half mirror 6f and an optical path going straightforward through the half mirror 6f as it is. The light going straightforward through the half mirror 6f is made incident on the luminous quantity detector 6c, and converted to an electric signal by a photomultiplier 6c6 and sent to a controller 9 as a detection signal to control the X-ray exposure condition automatically. The light from the screen 1.1 is reflected by the half mirror in this way and since no hindrance exists on the path until it is made incident on the TV camera, no vignetting due to the luminous quantity is caused and the image sent to the TV camera is brought into high quality.



**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

# 公開実用 昭和62- 122488

⑩ 日本国特許庁 (JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報 (U)

昭62- 122488

⑬ Int. Cl. 4

H 02 M 3/07  
H 03 F 3/343  
H 03 K 19/00

識別記号

府内整理番号

7829-5H  
A-6628-5J  
A-8326-5J

⑭ 公開 昭和62年(1987)8月4日

審査請求 未請求 (全頁)

⑮ 考案の名称 電流源回路

⑯ 実 願 昭61-10861

⑰ 出 願 昭61(1986)1月28日

⑱ 考案者

曾根田 光生

東京都品川区北品川6丁目7番35号

ソニー株式会社内

⑲ 出願人

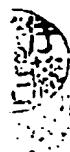
ソニー株式会社

東京都品川区北品川6丁目7番35号

⑳ 代理人

弁理士 伊藤 貞

外1名



## 明細書

考案の名称 電流源回路

### 実用新案登録請求の範囲

回路網に接続される電流源回路において、

能動素子が設けられ、

この能動素子のゲートソース間に容量成分が持たせられ、

上記能動素子のドレインゲート間にスイッチが設けられると共に、

上記能動素子のドレインが切換スイッチの可動接点に接続され、

この切換スイッチの第1の固定接点が上記回路網に接続されると共に、

上記切換スイッチの第2の固定接点が所定の基準電流源に接続され、

任意の期間に上記切換スイッチが第2の固定接点側に切換られ上記スイッチがオンされることによつて、上記基準電流源からの基準電流が上記能動素子に流されこの基準電流に応じた電荷が上記容量成分に充電されると共に、

所望の期間に上記切換スイッチが第1の固定接点側に切換られ上記スイッチがオフされることによつて、上記容量成分に充電された電荷に基づく電流が上記能動素子に流されこの電流が上記回路網に供給されるようにした電流源回路。

考案の詳細な説明

〔産業上の利用分野〕

本考案は、回路網の任意の箇所に所定の電流を供給するための電流源回路に関する。

〔考案の概要〕

本考案は電流源回路に関し、任意の期間に基準電流源からの電流を能動素子に供給し、この電流に応じた電荷を能動素子に記憶させ、所望時にこの記憶された電荷に基づいて電流を発生させることにより、ばらつきのない所定の電流を回路網に供給できるようにするものである。

〔従来の技術〕

回路網の任意の箇所に所定の電流を供給するた

めの電流源回路としては、従来は第6図に示すようなカレントミラー形の回路が多く用いられている。

すなわち図において、定電流源(1)からの電流  $I_0$  がカレントミラーのダイオード側を構成するMOS 素子  $M_0$  に供給され、このカレントミラーのトランジスタ側を構成するMOS 素子  $M_1, M_2 \dots$  に得られる電流  $I_1, I_2 \dots$  が回路網(100)の各部に供給される。

ところがこの回路において、素子がトランジスタの場合は各部の電流  $I_1, I_2 \dots$  は電流  $I_0$  と一致するので問題ないが、上述のようにMOS 素子を用いている場合には各素子のばらつきによつて電流  $I_0, I_1, I_2 \dots$  が一致しなくなる。すなわちMOS 素子のドレインソース電流  $I_{DS}$  は

$$I_{DS} = k \cdot \frac{W}{L} (V_{DS} - V_{th})$$

但し、  $k$  は定数

$L$  はチャンネル長

$W$  はチャンネル幅

(3)



$V_{GS}$  はソースゲート間電圧

$V_{th}$  はスレシヨルド電圧

で与えられ、ここで MOS 素子の製造上の問題から  
 $L$  ,  $W$  ,  $V_{th}$  にはばらつきを生じ易い。

従つてこのばらつきによつて、電流  $I_0$  ,  $I_1$  ,  
 $I_2$  … が互いに不一致となり、回路網 (100) の各  
部に所定の電流を供給することができなかつた。

[ 考案が解決しようとする問題点 ]

上述した従来の技術では、MOS 素子のばらつき  
によつて、電流  $I_0$  ,  $I_1$  ,  $I_2$  … を一致させるこ  
とができるない問題点があつた。

[ 問題点を解決するための手段 ]

本考案は、回路網 (100) に接続される電流源回  
路において、能動素子  $M_1$  ,  $M_2$  … が設けられ、こ  
の能動素子  $M_1$  ,  $M_2$  … のゲートソース間に容量成  
分  $C_1$  ,  $C_2$  … が持たせられ、上記能動素子  $M_1$  ,  
 $M_2$  … のドレインゲート間にスイッチ  $W_1$  ,  $W_2$  …  
が設けられると共に、上記能動素子  $M_1$  ,  $M_2$  … の

ドレインが切換スイッチ  $S_1$  ,  $S_2$  … の可動接点に接続され、この切換スイッチ  $S_1$  ,  $S_2$  … の第 1 の固定接点が上記回路網 (100) に接続されると共に、上記切換スイッチ  $S_1$  ,  $S_2$  … の第 2 の固定接点が所定の基準電流源 (1) に接続され、任意の期間に上記切換スイッチ  $S_1$  ,  $S_2$  … が第 2 の固定接点側に切換られ上記スイッチ  $W_1$  ,  $W_2$  … がオンされることによつて、上記基準電流源 (1) からの基準電流  $I_0$  が上記能動素子  $M_1$  ,  $M_2$  … に流されこの基準電流  $I_0$  に応じた電荷が上記容量成分  $C_1$  ,  $C_2$  … に充電されると共に、所望の期間に上記切換スイッチ  $S_1$  ,  $S_2$  … が第 1 の固定接点側に切換られ上記スイッチ  $W_1$  ,  $W_2$  … がオフされることによつて、上記容量成分  $C_1$  ,  $C_2$  … に充電された電荷に基づく電流  $I_1$  ,  $I_2$  … が上記能動素子  $M_1$  ,  $M_2$  … に流されこの電流  $I_1$  ,  $I_2$  … が上記回路網 (100) に供給されるようにした電流源回路である。

#### 〔作用〕

これによれば、任意の期間に基準電流を能動素



子及び容量成分に記憶し、所望時この記憶された電流を発生することにより、ばらつきのない所定の電流を回路網に供給することができる。

〔実施例〕

第1図において、MOS 素子  $M_1$  ,  $M_2$  … のゲートソース間にコンデンサ  $C_1$  ,  $C_2$  … が接続され、ドレインゲート間にスイッチ  $W_1$  ,  $W_2$  … が接続される。さらに MOS 素子  $M_1$  ,  $M_2$  … のドレインが切換スイッチ  $S_1$  ,  $S_2$  … の可動接点に接続され、この切換スイッチ  $S_1$  ,  $S_2$  … の第1の固定接点が回路網 (100) に接続されると共に、第2の固定接点が基準の定電流源 (1) に接続される。

そしてこの回路において、第2図 A に示す回路網 (100) の動作のプランキング期間に、同図 B に示すように切換スイッチ  $S_1$  ,  $S_2$  … を順次定電流源 (1) 側に切換え、さらに同図 C に示すようにスイッチ  $W_1$  ,  $W_2$  … を順次オンさせる。

これによつてプランキング期間に例えば切換スイッチ  $S_1$  が定電流源 (1) 側に切換えられ、スイッチ

W<sub>1</sub> がオンされると、定電流源(1)からの電流 I<sub>0</sub> が MOS 素子 M<sub>1</sub> を通じて流され、さらにこの電流 I<sub>0</sub> が流されるようにコンデンサ C<sub>1</sub> に充電が行われる。そして動作期間にスイッチ W<sub>1</sub> がオフされ、切換スイッチ S<sub>1</sub> が回路網(100)側に切換えられると、MOS 素子 M<sub>1</sub> はコンデンサ C<sub>1</sub> の充電電位によつてバイアスされ、MOS 素子 M<sub>1</sub> のソースドレイン間に I<sub>0</sub> の電流が流され続ける。この電流 I<sub>0</sub> が回路網(100)に供給される。さらに他の MOS 素子 M<sub>2</sub>、M<sub>3</sub> … についても同様の動作が順次行われる。

こうして回路網の各所に所定の電流を供給できるわけであるが、上述の回路によれば、定電流源からの電流が記憶され、この記憶された電流が供給されるので、この供給される電流に素子のばらつき等の影響がでることがなく、常に所定の電流を供給することができる。

また上述の回路によれば、定電流源からの電流の記憶を所定期間ごとに繰り返すことによつて、温度特性等による変動も除去することができ、いわゆる 1/f ノイズの発生も抑圧することができる。

さらに以下に他の回路の例を説明する。

まず第3図はDAコンバータに応用する場合であつて、この場合には $I_0$ ， $2I_0$ ， $4I_0$ …の倍率の正確な電流が必要になる。そこで図示のように上述の構成でそれぞれ電流 $I_0$ の電流源を形成すると共に、MOS素子 $M_{11}$ から電流 $I_0$ を端子 $T_1$ に、MOS素子 $M_{21}$ ， $M_{22}$ から電流 $2I_0$ を端子 $T_2$ に、MOS素子 $M_{31}$ ～ $M_{34}$ から電流 $4I_0$ を端子 $T_3$ に、以下同様に各倍率の電流を各端子にそれぞれ取出すようとする。この例においても、各電流源の電流 $I_0$ が素子のばらつき等に影響されないので、正確な倍率の $I_0$ ， $2I_0$ ， $4I_0$ …の電流を得ることができ、これによつて精度の高い、多ビットのDAコンバータを実現できる。なおこの図において、上述のコンデンサ $C_1$ ， $C_2$ …はMOS素子のソースゲート間及びチャンネルゲート間の容量成分で代用可能なので、図では省略して示す。

また第4図は、上述の回路で電流の供給される箇所が多くブランкиング期間内に全ての電流を形成することができない場合に適用されるもので、

この例では定電流源(1)からの電流が動作期間に MOS 素子  $M_a$ ,  $M_b$  … の回路に記憶され、さらにプランギング期間に各 MOS 素子  $M_a$ ,  $M_b$  … からの電流がそれぞれ MOS 素子  $M_{a1}$ ,  $M_{a2}$  …,  $M_{b1}$ ,  $M_{b2}$  … の回路に記憶される。これによつても全ての MOS 素子  $M_{a1}$ ,  $M_{a2}$  …,  $M_{b1}$ ,  $M_{b2}$  … から電流  $I_o$  をそれぞれの端子  $T_{a1}$ ,  $T_{a2}$  …,  $T_{b1}$ ,  $T_{b2}$  … に得ることができる。

さらに第5図はプランギング期間に回路網の電流が0になると問題がある場合に適用されるもので、図示のように定電流源(4)からの電流  $I_{o0}$  ( $\equiv I_o$ ) をカレントミラーのダイオード側を構成する MOS 素子  $M_{o0}$  に供給すると共に、このカレントミラーのトランジスタ側を構成する MOS 素子  $M_{o1}$ ,  $M_{o2}$  … をスイッチ  $S_{o1}$ ,  $S_{o2}$  … を介して端子  $T_1$ ,  $T_2$  … に接続する。そしてこの回路においてプランギング期間にスイッチ  $S_{o1}$ ,  $S_{o2}$  … をオンさせることにより、この期間は電流  $I_{o0}$  に相当する電流を回路網(100)の各所に供給することができる。なおさらにこの回路において、定電流源(4)及び

MOS 素子  $M_{00}$ ,  $M_{01}$  … の系においても上述と同様に容量成分を用いて基準電流を記憶させるようにしてもよい。そのような回路は上述の第4図の回路において端子  $T_{a1}$  と  $T_{b1}$ ,  $T_{a2}$  と  $T_{b2}$  … を互いに接続し、サファイックス  $a$  の系及び  $b$  の系を交互に動作させることによつても実現することができる。これによればプランギング期間のない回路網に対しても常に所定の電流を供給することができる。

#### 〔考案の効果〕

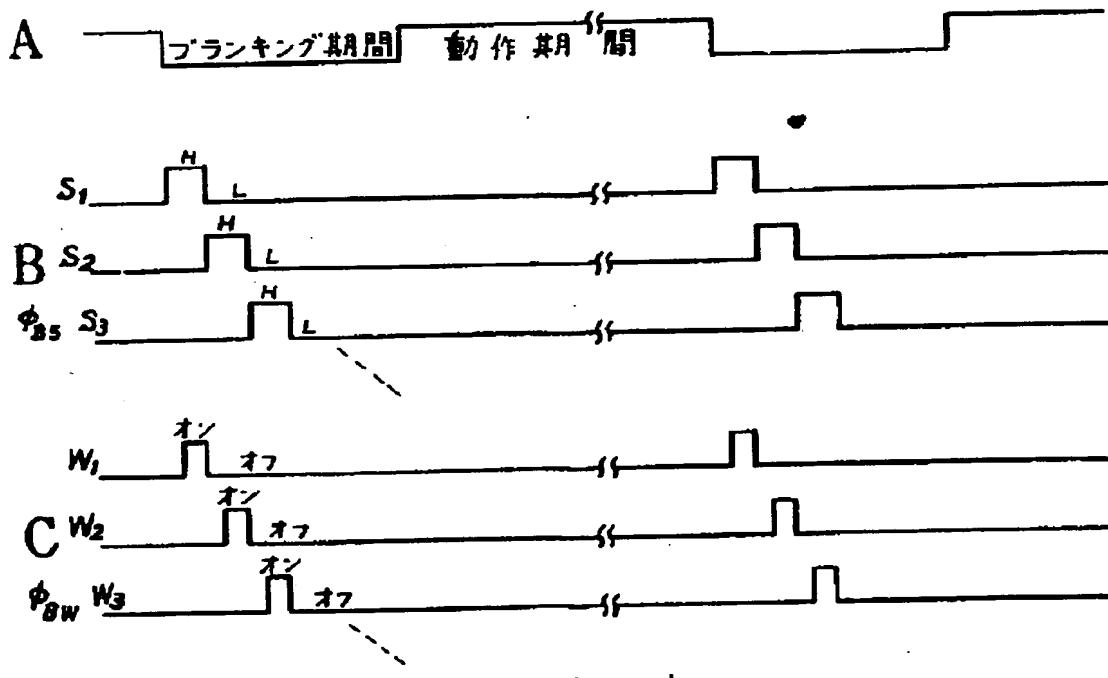
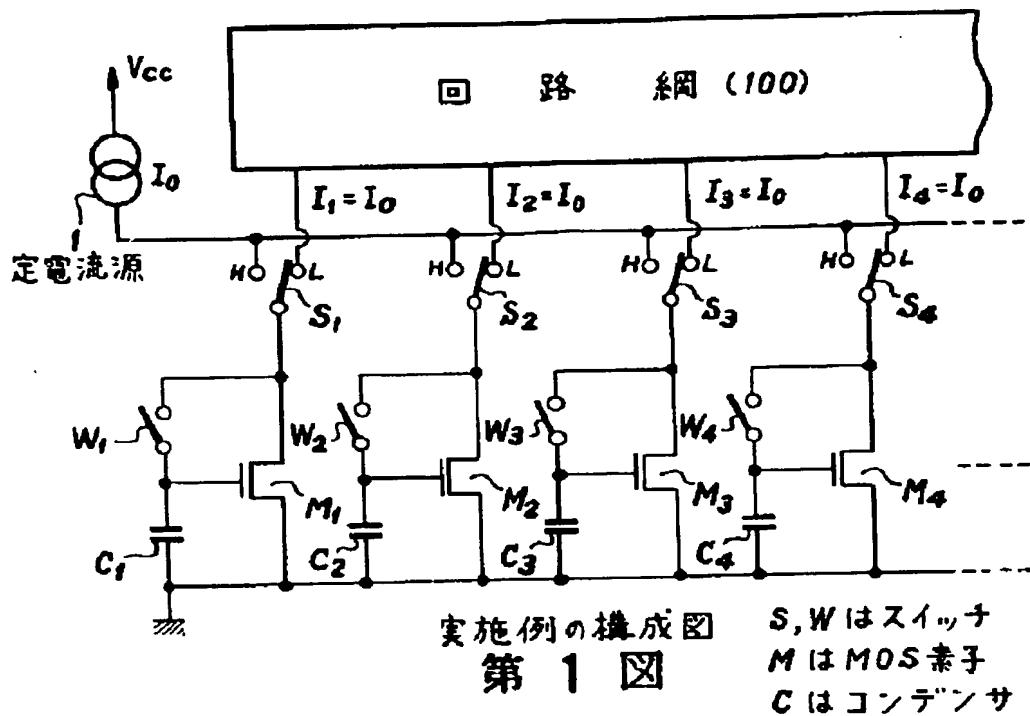
この考案によれば、任意の期間に基準電流を能動素子及び容量成分に記憶し、所望時この記憶された電流を発生することにより、ばらつきのない所定の電流を回路網に供給することができるようになつた。

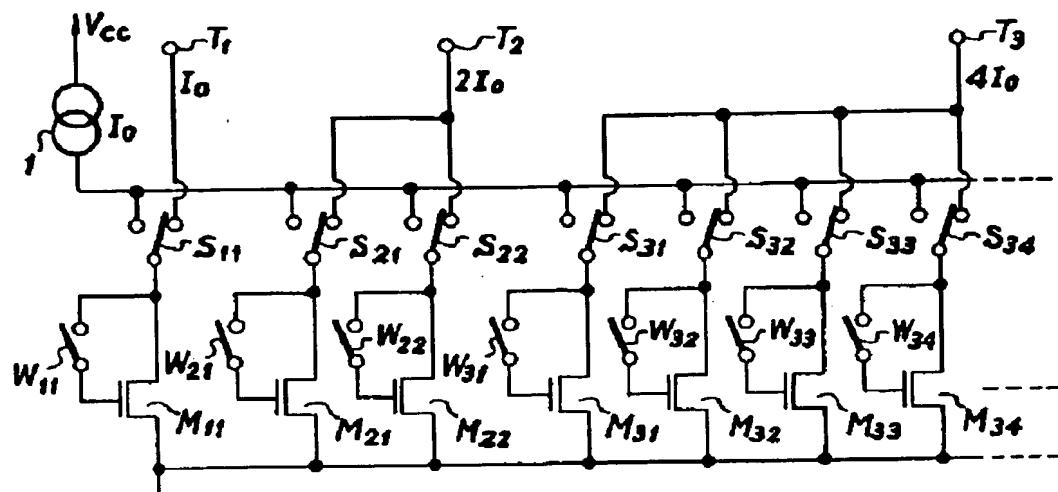
#### 図面の簡単な説明

第1図は本考案の一例の構成図、第2図～第5図はその説明のための図、第6図は従来の技術の説明のための図である。

(1) は基準電流源、 (100) は回路網、 M は MOS 素子、 S, W はスイッチ、 C はコンデンサである。

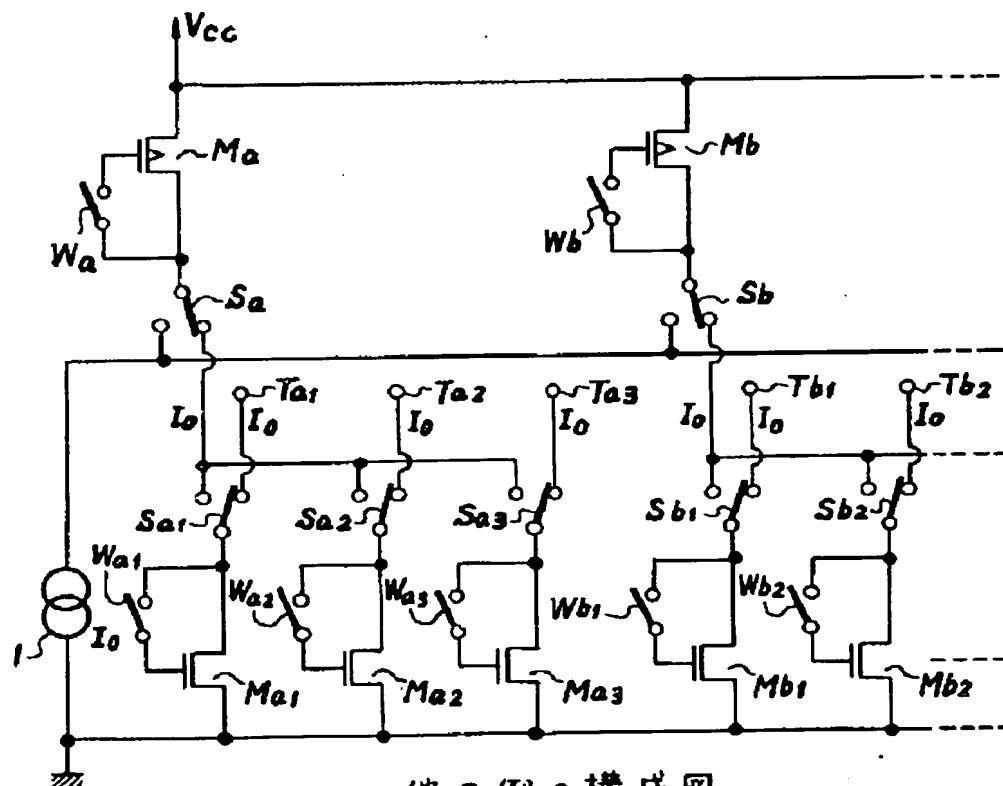
代理人 伊藤貞  
同 松隈秀盛





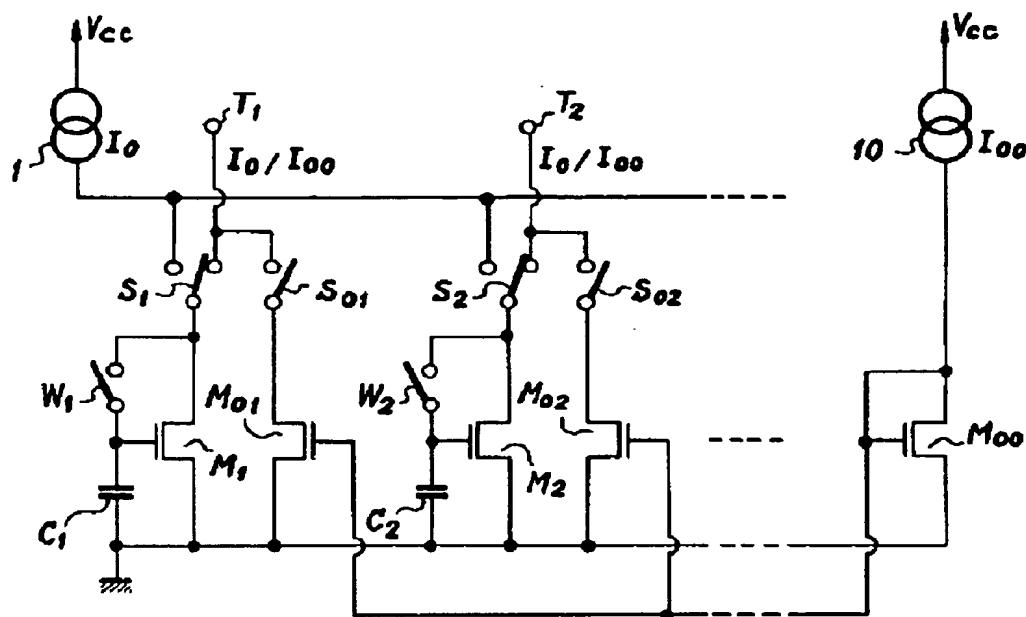
他の例の構成図

第3図

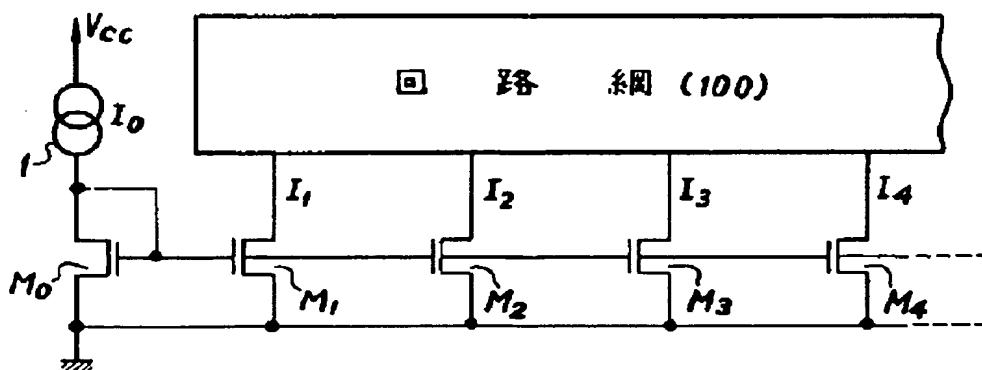


他の例の構成図

第4図



他の例の構成図  
第5図



従来の構成図  
第6図

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**